

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-298633

(43)Date of publication of application : 06.12.1988

G06F 9/38

(71)Applicant : FUJITSU LTD

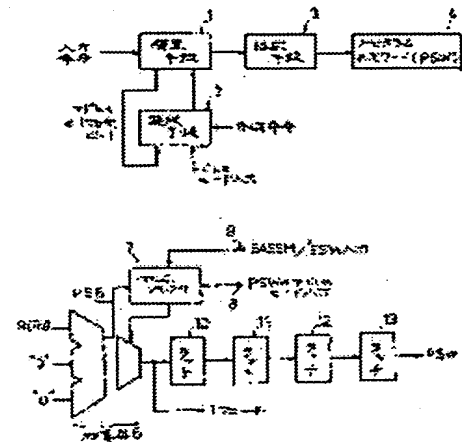
(72)Inventor : INOUE AIICHIRO

(54) INSTRUCTION FETCHING CONTROL SYSTEM IN PIPELINE PROCESSOR

(57)Abstract:

PURPOSE: To attain an instruction fetching earlier than the updating of an address designation mode by selecting the designation bit of an address mode at the time of executing the branching instruction to replace the address designating mode and an instruction address.

CONSTITUTION: From a part of an adder 6, an input operand before adding is taken out and only the most significant bit MSB to designate an address mode is supplied to a multiplexer 7. A multiplexer 7 is a selector to constitute a selecting means 2 and selects and outputs either of the value of an MSB and the address mode input of a program situation word (PSW) in accordance with the presence and absence of the input of a branch and save and set mode instruction and branch and set mode instruction) BASSM/BSM instruction from a terminal 9. Usually, an adding action is executed in accordance with the address mode input of a PSW, the BASSM/BSM instruction is inputted, and then, the MSB is selected and outputted to an adder 6 and thus, an instruction address is taken out.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(Part translation)

Japanese Patent Application, Publication No: S63-298633

Lines 3 – 12 in top-right column on page 3

Shown in Fig.2 is a block diagram of an embodiment of the present invention. In the diagram, 6 indicate an adder, which constitutes the operating means 1. The adder 6 adds up the second operand R_2 that is received in a period of D cycles and generates an instruction address in the following period of A cycles as shown by the drawing in Fig.3(A), wherein the second operand R_2 is constituted, for example, by 4 bytes within two address codes. Here, the input operand R_2 before receiving the addition operation is taken out for supplying only the MSB (most significant bit) part of it, the part that specifies the address mode, to the multiplexer 7.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭63-298633

⑬ Int.Cl.⁴

G 06 F 9/38

識別記号

3 3 0

庁内整理番号

X-7361-5B

⑭ 公開 昭和63年(1988)12月6日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 バイブライン処理装置における命令フェッチ制御方式

⑯ 特 願 昭62-136765

⑰ 出 願 昭62(1987)5月29日

⑱ 発 明 者 井 上 愛 一 郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 析 貞一

明 細 書

1. 発明の名称

バイブライン処理装置における命令フェッチ制御方式

2 特許請求の範囲

命令のオペランドの内容によりプログラム状況ワード(PSW)(4)内のアドレス指定モードと命令アドレスとを置き換える分岐命令による動作を行なうバイブライン処理装置において、

分岐先の上記命令アドレスを入力命令から演算出力する演算手段(1)と、

前記分岐命令非入力時はプログラム状況ワード(4)のアドレスモード入力を前記演算手段(1)へ選択出力し、該分岐命令入力時は該演算手段(1)の一部から取り出した前記入力命令中のアドレスモードを指定するビットを該演算手段(1)へ選択出力して該演算手段(1)より該アドレス指定モードに応じた命令アドレスを生成出力させる選択手段(2)と、

該演算手段(1)の出力命令アドレスを複数段

のラッチを順次転送して前記プログラム状況ワード(4)に格納する格納手段(3)とよりなり、

前記分岐命令入力時は該演算手段(1)より取り出された該命令アドレスによって前記プログラム状況ワード(4)のアドレス指定モードの更新前に命令フェッチを行なうことを特徴とするバイブライン処理装置における命令フェッチ制御方式。

3 発明の詳細な説明

(概要)

本発明は電子計算機を用いたバイブライン処理装置の命令フェッチ制御方式において、

命令のオペランドの内容によりプログラム状況ワード(program status word: PSW)内のアドレス指定モードと命令アドレスとを置き換える分岐命令による動作時に、選択手段により演算手段の一部から取り出した入力命令中のアドレスモードを指定するビットを演算手段へ選択出力してアドレス指定モードに応じた命令アドレスを生成出力させてプログラム状況ワードのアドレス指定モードの更新前に命令フェッチを行なうことによ

特開昭63-298633 (2)

より、

電子計算機の実行速度を速くするようにしたものである。

〔産業上の利用分野〕

本発明はパイプライン処理装置における命令フェッチ制御方式に係り、特に命令のオペランドの内容によりPSW内のアドレス指定モードと命令アドレスとを置き換える分岐命令による動作を行なうパイプライン処理装置における命令フェッチ制御方式に関する。

電子計算機において、同一の時刻では全回路は夫々別のデータの処理を行なっている（すなわち、並列処理）が、一つのデータに着目すると、この各部分の処理は順次引続いて行なわれる（すなわち、直列処理）パイプライン処理が知られている。

このようなパイプライン処理による高速処理を、より有効なものにするためには、各命令の処理時間の短縮化が必要とされる。

Aサイクルの終りでラッチTOARにラッチされて次のTサイクルの間隔保持されてから、そのTサイクルの終りでラッチBOARにラッチされる。このBOARでラッチされた実効アドレスはBサイクル期間保持され、その終りの時点で次のラッチARC4にラッチされ、次のEサイクル期間保持されて、更に次のWサイクル期間はラッチARC12に保持され、Wサイクル期間の終りでPSW内に格納される。すなわち、Wサイクルの終りで、PSW内に新しいアドレス指定モード(AE)と命令アドレス(IAR)とが格納される。

しかる後に、BASSM/BSM命令では、PSWのアドレス指定モードと命令アドレスの更新後に、更新後のアドレス指定モードに従って第5図(B)に示す如く、I、IT及びIBで示す各サイクルで分岐先命令のフェッチが行なわれる。この命令フェッチ後、再び次命令について第5図(A)と同様のパイプライン処理が行なわれる。

〔従来の技術〕

パイプライン処理装置の各命令の中に、PSW内のアドレス指定モードと命令アドレスを命令のオペランドの内容で置き換える分岐命令がある。この分岐命令にはBASSM(branch and save and set mode)命令及びBSM(branch and set mode)命令がある。これらBASSM命令及びBSM命令は、次命令のフェッチに用いるアドレス指定モードを変更することになるので、通常に分岐命令の制御の他に、更新後のアドレス指定モードに従って命令フェッチを行なう制御が必要になる。

第5図は従来方式の一例の動作説明図を示す。第5図(A)に示すように、マイクロ命令がD、A、T、B、E及びWの各サイクルの順で処理されるが、まずDサイクルにて例えば2アドレスコード中の第2オペランドR₂を取り込み、次のAサイクルで加算器(実効アドレスジェネレータ: EAG)により実効アドレスが生成される。

この実行アドレスは第5図(A)に示すように、

〔発明が解決しようとする問題点〕

従来は上記のBASSM/BSM命令の実行に際し、分岐先命令のフェッチを、PSWに新しいアドレス指定モードと命令アドレスとを格納した後に行なっていたので、第5図(A)、(B)に示したように、BASSM/BSM命令の実行に9サイクルを必要とした。このため、従来はBASSM/BSM命令の実行時間が長く、パイプライン処理の効果が得られないという問題点があった。

本発明は上記の点に鑑みて創作されたもので、BASSM/BSM命令の実行サイクル数が少ないパイプライン処理装置における命令フェッチ制御方式を提供することを目的とする。

〔問題点を解決するための手段〕

第1図は本発明の原理ブロック図を示す。同図中、1は演算手段、2は選択手段、3は格納手段、4はプログラム状況ワード(PSW)である。

演算手段1は入力命令から分岐先の命令アドレ

特開昭63-298633 (3)

スを演算出力する。選択手段2は分岐命令非入力時はPSWのアドレスモード入力を演算手段1へ選択出力し、分岐命令入力時は演算手段1の一部から取り出した入力命令中のアドレスモードを指定するビットを演算手段1へ選択出力する。格納手段3は命令アドレスをPSW4に格納する。

(作用)

演算手段1により生成された命令アドレスは複数段のラッチからなる格納手段3を転送された後、PSW4に格納される。

ここで、命令のオペランドの内容によりPSW4内のアドレス指定モードと命令アドレスとを置き換える分岐命令入力時には、選択手段2から演算手段1への入力命令中のアドレスモードを指定するビットの選択入力によって、その分岐命令に従ったアドレスが演算手段1より取り出される。

従って、この時に得られる命令アドレスにより命令フェッチを行なうことにより、PSW4のアドレス指定モードの更新より先に命令フェッチが

できることとなる。

(実施例)

第2図は本発明の一実施例のブロック図を示す。同図において、6は前記演算手段1を構成する加算器で、例えば2アドレスコード中の4バイトの第2オペランドR₂をDサイクル期間供給され、その加算を行なって第3図(A)に示す如く次のAサイクル期間で命令アドレスを生成する。ここで、加算器6の一部からは加算前の、入力オペランドR₂が取り出されるが、そのうちアドレスモードを指定する最上位ビット(MSB)のみがマルチプレクサ7に供給される。

マルチプレクサ7は前記選択手段2を構成するセレクトで、上記最上位ビットの値と、端子8よりのPSWのアドレスモード入力とのうち、端子9よりのBASSM命令又はBSM命令の入力の有無に応じていずれか一方を選択出力するよう構成されている。

すなわち、マルチプレクサ7はBASSM/B

SM命令入力が無いときは、上記オペランドR₂中のMSBから得たPSWのアドレスモード入力(AE: address extended)を加算器6へ選択出力する。このPSWのアドレスモード入力はアドレスモードを指定する1ビットの信号で、4バイトの加算動作を行なう加算器6の出力オペランドアドレス(命令アドレス)のうちの有効ビットを指定する。例えばPSWのアドレスモード入力の値が“1”のときは、加算器6より取り出される4バイトの命令アドレスのうち、第4図(A)に模式的に示すように、最上位ビットを除いた31ビットが有効ビットで、このとき最上位ビットは“0”とされる。また、PSWのアドレスモード入力の値が“0”のときは、第4図(B)に模式的に示すよう、下位24ビットが有効ビットで、残りの上位8ビットが“0”とされる。

通常はこのPSWのアドレスモード入力に従った加算動作が行なわれるが、BASSM/BSM命令が入力されると、マルチプレクサ7は上記加算器6の一部より取り出されたMSBの値を加算

器6へ選択出力する。これにより、加算器6からはそのMSBの値に応じて第4図(A)又は(B)に示すように、下位31ビット又は下位24ビットを命令アドレスとし、残りの上位ビットが“0”とされた命令アドレスが取り出される。加算器6より取り出された命令アドレスは、Aサイクル期間の終りでラッチ動作を行なうラッチ(TOAR)10、Tサイクル期間の終りでラッチ動作を行なうラッチ(BORA)11、Bサイクル期間の終りでラッチ動作を行なうラッチ(EORAR)12、及びEサイクル期間の終りでラッチ動作を行なうラッチ(WOAR)13により、順次ラッチされる。

これにより、第3図(A)に模式的に示すように、加算器6の出力命令アドレスは、ラッチ10、11、12及び13により1サイクル期間ずつ保持され、かつ、順次ラッチ13方向へ転送されていき、Wサイクル期間の終りでPSW内に格納される。また、このとき、別系統で伝送された新しいアドレス指定モード1ビットがPSW内に格納

特開昭63-298633 (4)

される。

ここで、BASSM/BSM命令時には、アドレス指定モードが第4図(B)に示した24ビットモードで、加算器6の最終出力端よりAサイクル期間で取り出される命令アドレスはその後のWサイクル期間の終りでPSW内の命令アドレスに置き換えられるが、それ以前のAサイクル期間内でこのときの命令アドレスを用いて第3図(B)に模式的に示す如く命令フェッチが行なわれる。従って、本実施例によれば、PSWのアドレス指定モードの更新より先に命令フェッチが可能なので、第3図(B)に示すように、次命令の処理が開始されるまで、4サイクルで済む。

なお、このとき行なわれる制御のうち、アドレス生成のための加算器6の出力を命令フェッチに回して、分岐先命令の先取りをする制御は従来から実用化されている。しかし、この場合はアドレス指定モードがPSWのアドレスモード入力に従って行なわれるのに対し、本実施例では加算器6を32ビットフルで演算動作するようにしておき、

その出力のMSBに従ったアドレス指定モードで1フェッチを行なう点異なる。

(発明の効果)

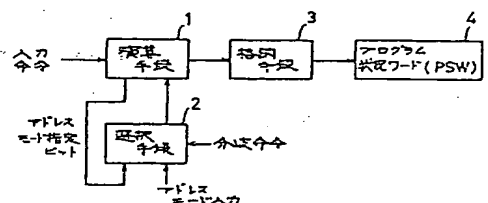
上述の如く、本発明によれば、PSWのアドレス指定モードの更新より先に命令フェッチを行なうようにしたので、従来にくらべてBASSM/BSM命令の実行時間を短縮化でき、これにより所要のパイプラインの効果を初めることができる等の特長を有するものである。

4. 図面の簡単な説明

- 第1図は本発明の原理ブロック図、
第2図は本発明の一実施例のブロック図、
第3図は本発明の一実施例の動作説明図、
第4図は命令アドレスの各例の説明図、
第5図は従来の一例の動作説明図である。
図中において、
1は演算手段、
2は選択手段、
3は格納手段、

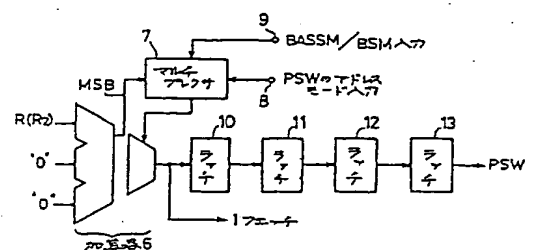
- 4はプログラム状況ワード(PSW)、
6は加算器、
7はマルチプレクサ、
10~13はラッチである。

代理人 弁理士 井 術 貞



本発明の原理ブロック図

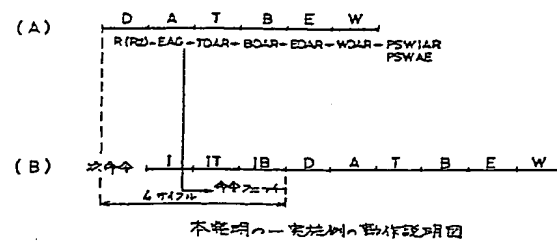
第1図



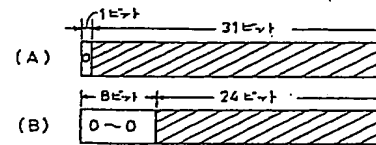
本発明の一実施例のブロック図

第2図

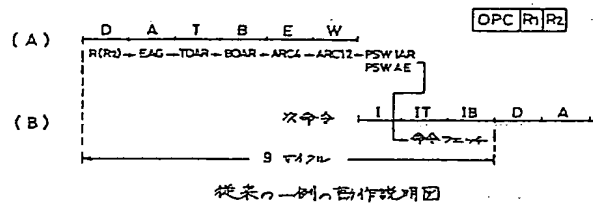
特開昭63-298633 (5)



第3図



第4図



第5図